

日本国特許庁
JAPAN PATENT OFFICE

06. 4. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

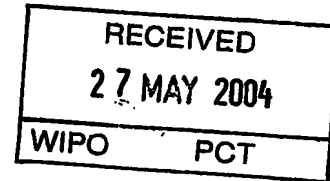
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月28日
Date of Application:

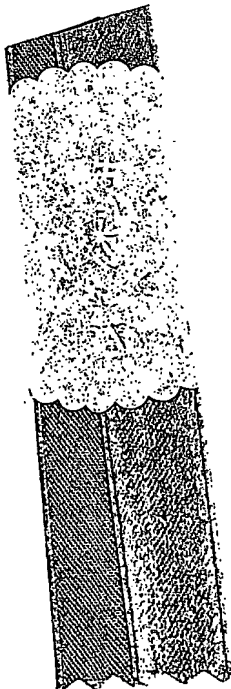
出願番号 特願2003-124044
Application Number:

[ST. 10/C]: [JP 2003-124044]

出願人 松下電器産業株式会社
Applicant(s):



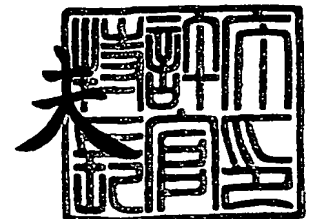
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)



2004年 5月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 2030250049

【提出日】 平成15年 4月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 5/20

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 長谷川 義晃

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 横川 俊哉

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 山田 篤志

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体発光素子の製造方法

【特許請求の範囲】

【請求項1】 基板の主面上に成長した第1のIII-V族化合物半導体上に絶縁膜を間隔をおいてストライプ状に周期的に形成する工程と、その上面に第2のII-V族化合物半導体を選択的に成長する工程と、上記絶縁膜を除去した後に第3のIII-V族化合物半導体を再度成長する工程とを備えることを特徴とする半導体発光素子の製造方法。

【請求項2】 請求項1において、第1の半導体と第2の半導体との電気的伝導性が異なることを特徴とする半導体発光素子の製造方法。

【請求項3】 請求項1、2において、第1の半導体と第3の半導体との電気的伝導性が同じであることを特徴とする半導体発光素子の製造方法。

【請求項4】 請求項1、2、3において、第1の半導体と第3の半導体がp型半導体であり、第2の半導体がn型半導体であることを特徴とする半導体発光素子の製造方法。

【請求項5】 請求項1、2、3、4において、上記絶縁膜領域が電流注入領域となることを特徴とする半導体発光素子の製造方法。

【請求項6】 請求項1、2、3、4、5において、第2の半導体が内部ストライプ電流狭搾層となることを特徴とする半導体発光素子の製造方法。

【請求項7】 請求項1、2、3、4、5、6において、第1の半導体に活性層が含まれており、活性層と第2の半導体との間の膜厚が結晶成長のみで制御されることを特徴とする半導体発光素子の製造方法。

【請求項8】 請求項1、2、3、4、5、6、7において、上記絶縁膜の除去方法がドライエッチングによらないことを特徴とする半導体発光素子の製造方法。

【請求項9】 請求項1、2、3、4、5、6、7、8において、上記半導体が窒化物系III-V族化合物半導体であることを特徴とする半導体発光素子の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、窒化物系III-V族化合物半導体で構成される、青紫光から紫外光に及ぶ短波長領域の半導体発光素子の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、次世代の高密度光ディスク用光源として青紫色の光を発するレーザダイオードに対する要望が高まり、特に、青紫光から紫外光に及ぶ短波長領域で動作可能な窒化ガリウム (GaN) 系のIII-V族化合物半導体発光素子の研究開発が盛んに行われている。さらに、その光ディスク装置はレコーダーとして高密度・高速記録用が待望されているため、高光出力で信頼性の高いGaN系半導体レーザが必要となっている。この場合、GaN系レーザの電流—光出力特性として、高光出力でのキンクフリー化が必須である。このためには、GaN系レーザの構造設計、特に (水平) 横モード制御が重要である。

【 0 0 0 3 】

一方、GaN系半導体は結晶的に非常に強固で化学的に安定であるために、ウェットエッチング技術によるプロセス加工が困難である。このため、水平横モード制御に重要なGaN系レーザのリッジ構造形成のプロセス加工は、ドライエッチング技術の利用が主流である。非特許文献1および非特許文献2には、ドライエッチングによりリッジ構造を形成したGaN系レーザの室温連続発振が記されている。しかしながら、ドライエッチング技術によるプロセス加工は制御性に乏しいため、基板面内での均一なプロセス制御、つまり均一な水平横モード制御は非常に困難である。この均一性は、基板面内のみならず、ロット処理ごとの再現性をも低下させる。この結果は、GaN系レーザの生産および製造において、歩留り低下およびコスト高騰を招くことになる。

【 0 0 0 4 】

最近、GaN系レーザのリッジ構造形成において、リッジ部分を選択再成長で形成する技術が提案されている。このリッジ形成技術に関しては、非特許文献3がある。非特許文献3によれば、活性層上のリッジ残し膜厚まで結晶成長を実施し

た後、リッジ形成領域以外を二酸化珪素 (SiO_2) 膜で覆い、続く2回目の結晶成長で、 SiO_2 膜以外の領域でリッジ構造を選択再成長で形成する。この結果、リッジ残し膜厚はドライエッチング技術を使用せずに、結晶成長膜厚で制御されるために均一性および再現性に優れることになる。さらに、ドライエッチングを使用しないため、活性層へのエッチングダメージを回避することができる。しかしながら、この選択再成長技術では、 SiO_2 膜上に多くのGaN系多結晶（ポリ構造）が析出するために、レーザ高光出力対応の放熱改善のためにジャンクションダウンで実装した際に密着不良等の不具合が生じる。さらに、リッジ領域以外の結晶表面は SiO_2 膜で覆われているために熱伝導・放熱性が悪く、レーザ寿命時間の短命化等のレーザ特性に悪影響を及ぼす。

【0005】

このような現状を鑑みて、我々は、GaN系レーザの電流狭搾構造形成において、水平横モード制御と放熱性に優れ、且つレーザ製造時の高歩留り化および低コスト化を実現できる方法を見出した。

【0006】

【特許文献1】

特開2001-068786号公報

【特許文献2】

特開平8-64791号公報

【非特許文献1】

IEEE Journal of Selected Topics in Quantum Electronics, Vol.4 (1998) 483-489

【非特許文献2】

Japanese Journal of Applied Physics, Vol.41 (2002) 1829-1833

【非特許文献3】

Japanese Journal of Applied Physics, Vol.40 (2001) L925-L927

【0007】

【発明が解決しようとする課題】

本発明は、GaN系紫色レーザの電流狭搾構造形成において、水平横モード制御

と放熱性に優れ、高光出力動作でのキンクフリーと長寿命化を実現するGaN系レーザを高歩留り且つ低コストで製造する方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明に係る第1の半導体発光素子の製造方法は、上記の目的を達成し、基板の主面上に成長した第1のIII-V族化合物半導体上に絶縁膜を間隔をおいてストライプ状に周期的に形成する工程と、その上面に第2のIII-V族化合物半導体を選択的に成長する工程と、上記絶縁膜を除去した後に第3のIII-V族化合物半導体を再度成長する工程とを備えることを特徴とする。上記第2の半導体を絶縁膜以外の箇所に選択的に成長し、且つ上記第2の半導体の電気的伝導性を変化させることで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

【0009】

第2の半導体発光素子の製造方法は、上記第1の製造方法において、第1の半導体と第2の半導体との電気的伝導性が異なることを特徴とする。上記第2の半導体を選択的に成長し、且つ上記第2の半導体の電気的伝導性を上記第1の半導体と異なるように設計することで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

【0010】

本発明に係る第3の半導体発光素子の製造方法は、上記第1および第2の製造方法において、第1の半導体と第3の半導体との電気的伝導性が同じであることを特徴とする。上記第2の半導体を選択的に成長し、且つ上記第1の半導体と上記第3の半導体の電気的伝導性を同じに設計することで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

【0011】

第4の半導体発光素子の製造方法は、上記第1、2、3の製造方法において、第1の半導体と第3の半導体がp型半導体であり、第2の半導体がn型半導体であることを特徴とする。上記第2の半導体を選択的に成長し、且つ上記第1の半導体と上記第3の半導体の電氣的伝導性をp型に設計し、上記第2の半導体の電氣的伝導性をn型に設計することで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだn型電流狭搾層として作用させることが可能になる。

【0012】

本発明に係る第5の半導体発光素子の製造方法は、上記第1、2、3、4の製造方法において、上記絶縁膜領域が電流注入領域となることを特徴とする。上記第2の半導体を絶縁膜以外の箇所に選択的に成長し、且つ上記第2の半導体の電氣的伝導性を変化させることで、上記絶縁膜領域のみを電流注入領域とすることが可能になる。つまり、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

第6の半導体発光素子の製造方法は、上記第1、2、3、4、5の製造方法において、第2の半導体が内部ストライプ電流狭搾層となることを特徴とする。上記第2の半導体をストライプ状の絶縁膜以外の箇所に選択的に成長し、且つ上記第2の半導体の電氣的伝導性を変化させることで、上記絶縁膜領域にのみを電流注入領域とすることが可能になる。つまり、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ内部ストライプ電流狭搾層として作用させることが可能になる。

【0013】

本発明に係る第7の半導体発光素子の製造方法は、上記第1、2、3、4、5、6の製造方法において、第1の半導体に活性層が含まれており、活性層と第2の半導体との間の膜厚が結晶成長のみで制御されることを特徴とする。上記第2の半導体を絶縁膜以外の箇所に選択的に成長し、且つ上記第2の半導体の電氣的伝導性を変化させることで、上記第1の半導体にドライエッチングダメージを与

えることなく、且つ活性層と第2の半導体との間の膜厚が結晶成長のみで制御可能になり、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

【0014】

第8の半導体発光素子の製造方法は、上記第1、2、3、4、5、6、7の製造方法において、上記絶縁膜の除去方法がドライエッチングによらないことを特徴とする。上記第2の半導体を絶縁膜以外の箇所に選択的に成長し、且つ上記第3の半導体の成長前に上記絶縁膜除去をドライエッチング不要の制御性に優れたウエットエッチング等を使用することで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

【0015】

本発明に係る第9の半導体発光素子の製造方法は、上記第1、2、3、4、5、6、7、8の製造方法において、上記半導体が窒化物系III-V族化合物半導体であることを特徴とする。窒化物系III-V族化合物半導体は結晶的および化学的に非常に安定であるため、プロセス加工は一般的にドライエッチングを使用する。しかしながら、ウエットエッチングと比較して、ドライエッチングは制御性および再現性に劣り、且つエッチングダメージが大きく結晶性劣化を招くことがある。そこで、上記第2の半導体を絶縁膜以外の箇所に選択的に成長し、且つ上記第3の半導体の成長前に上記絶縁膜除去をドライエッチング不要の制御性に優れたウエットエッチング等を使用することで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

【0016】

【発明の実施の形態】

まず、ドライエッチング技術により電流狭搾となるリッジ構造を形成する現在最も一般的なGaN系レーザについて、そのプロセス・レーザ特性の再現性、および歩留りを説明する。

【0017】

以下、現在最も一般的なGa_N系レーザによるGa_N系レーザの製造方法の詳細について図面を参照しながら説明する。

【0018】

図1は現在最も一般的なGa_N系レーザに係るGa_N系レーザの構成断面図を示している。

【0019】

まず、(0001)面を主面とするサファイア基板11を酸溶液を用いて洗浄を行なう。その後、洗浄した基板11を有機金属気相成長(MOVPE)装置(図示せず)の反応炉内のサセプタに保持し、反応炉を真空排気する。続いて、反応炉内を圧力が300Torrの水素雰囲気とし、温度を約1100℃にまで昇温して基板11を加熱し表面のサーマルクリーニングを約10分間行なう。

【0020】

次に、反応炉を約500℃にまで降温した後、基板11の主面上に、供給量7sccmのトリメチルガリウム(TM_G)と、供給量が7.5slmのアンモニア(NH₃)ガスと、キャリアガスとして水素とを同時に供給することにより、厚さが20nmのGa_Nよりなる低温バッファ層(図示せず)を成長する。続いて、反応炉を約1000℃にまで昇温し、n型ドーパントとしてシラン(SiH₄)ガスも供給して、厚さが約4nmでSi不純物濃度が約1E18cm⁻³のn型Ga_Nよりなるn型コンタクト層12を成長する。

【0021】

次に、トリメチルアルミニウム(TMA)も供給しながら、厚さが約0.7nmでSi不純物濃度が5E17cm⁻³のn型Al_{0.07}Ga_{0.93}Nよりなるn型クラッド層13を成長する。続いて、厚さが約120nmでSi不純物濃度が約1E18cm⁻³のn型Ga_Nよりなる第1の光ガイド層14を成長した後、温度を約800℃にまで降温し、キャリアガスを水素から窒素に変更して、トリメチルインジウム(TMI)とTM_Gを供給して厚さが約3nmのIn_{0.1}Ga_{0.9}Nよりなる量子井戸15、17、19と厚さが約9nmのGa_Nバリア層16、18からなる多重量子井戸活性層を交互に成長する。続いて、活性層へのp型ドーパント拡散抑制のために厚さが約50nmのアンドープGa_N層よりなるキャップ層20を成長した後、再び反応炉内の温度を約1000℃にまで昇温しキャリアガスを窒素から水素に戻して、p型ドーパントであるビスシクロペンタジエニルマグネシウム

(Cp_2Mg) ガスを供給しながら、厚さが約20nmでMg不純物濃度が $5 \times 10^{17} \text{cm}^{-3}$ のp型 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{N}$ よりなるキャップ層21を成長する。次に、厚さが約120nmでMg不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ のp型 GaNよりなる第2の光ガイド層22を成長する。続いて、厚さが約0.7 μm でMg不純物濃度が $5 \times 10^{17} \text{cm}^{-3}$ のp型 $\text{Al}_{0.07}\text{Ga}_{0.93}\text{N}$ よりなるp型クラッド層23を成長する。最後に、厚さが約0.1 μm でMg不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ のp型GaNよりなるp型コンタクト層24を成長する(図1)。

【0022】

結晶成長後、まずp型半導体層の活性化加熱処理を行う。MOVPE装置の反応炉から基板を取り出し、p型不純物活性化の加熱処理を施すためにアニール炉の中に搬送する。次にアニール炉を真空排気した後、供給量3slmの窒素ガスを導入して大気圧にした後、750℃で30分間の加熱処理をおこなう。加熱処理後、基板を室温まで降温し、アニール炉から取り出す。

【0023】

次に、レーザ構造形成のプロセス加工工程を図2～図11を参照しながら順番に説明する。ただし、図2に示すように、図2～図11では、図1のn型GaN光ガイド層14から上層のみを示している。

【0024】

加熱処理終了後、基板11の結晶成長表面に SiO_2 よりなる絶縁膜25を堆積する(図3)。続いて、絶縁膜25上にレジスト膜26を堆積させ(図4)、フォトリソグラフィ法によりp型コンタクト層24のリッジ形成位置(リッジ幅は2 μm 程度)のみにレジスト膜26が残るようにする(図5)。この後、レジスト膜26をエッチングマスクとして、レジスト除去部の絶縁膜25をフッ酸溶液で除去しp型コンタクト層24を露出させる(図6)。

【0025】

続いて、残りのレジスト膜26を除去した後(図7)、リッジ形成位置以外をドライエッチング装置でエッチングし、活性層19上のp型層の残し膜厚を140nm程度にする(図8)。このリッジ構造形成により、GaN系レーザの注入電流狭帯と水平横モード制御が可能になる。

【0026】

次に、n型電極の形成位置以外を SiO_2 よりなる絶縁膜27で覆い(図9)、ドライエッチングでn型コンタクト層12を露出させる。p側とn側の電气的分離は絶縁膜27で形成され、リッジ上の絶縁膜27をフッ酸溶液で除去した後(図10)、p型電極28としてニッケル(Ni)と白金(Pt)と金(Au)を蒸着し(図11)、n型電極29としてチタン(Ti)とアルミニウム(Al)を蒸着する。

【0027】

続いて、レーザ共振器端面のへき開工程に移る。まず、基板11をサファイア基板の裏面から研磨し総膜厚を100nm程度に薄膜化する。その後、リッジストライプ方向と垂直方向に共振器端面が形成されるように、基板11をへき開装置(図示せず)でへき開する。この段階で、へき開端面をレーザ共振器(共振器長:750nm)とするバー状態のレーザ素子1を作製することができる。

【0028】

次に、レーザ共振器の後端面に高反射膜コートをおこなう。ただし、高反射膜は SiO_2 と二酸化チタン(TiO_2)の3対で構成される誘電体多層膜構造とした。

【0029】

最後に、バー状態のレーザ素子1の2次へき開をおこなってレーザチップに分離して、レーザキャンにpサイドダウンで実装する。実装時には、レーザチップを炭化珪素(SiC)からなるサブマウントに半田を介して実装する。

【0030】

上記のような現在最も一般的なGaN系レーザは、レーザ素子特性に以下に述べる大きな特徴を有している。

【0031】

上記のように作製したレーザ素子1は電流注入により室温連続発振に到った。この際の閾値電流、スロープ効率および発振波長は各々35mA、1.2W/A、405nmであった。また、電流—光出力特性のキンクレベルは80mW以上であった。レーザ素子1の電流—光出力特性を図12に示す。この結果から、レーザ素子1では80mW程度の高光出力動作でも水平横モードが安定であり、ドライエッチングによるp型層残し膜厚制御により横モード制御が成されていることがわかる。さらに、遠視野像(FFP)を評価すると、 θ_{\parallel} (基板平行方向)は 9° 、 θ_{\perp} (基板垂直方向

)は 22° 、アスペクト比($\theta_{\perp}/\theta_{\parallel}$)は2.4である。光ディスク用としてはアスペクト比は3未満が要求されているため、レーザ素子1では、この要求を満たしていることになる。次に、30mWの高光出力での室温一定光出力(APC)寿命試験を実施した。レーザ素子1では0.05mA/h程度の劣化率であり、1000時間以上の安定動作を示した。以上から、レーザ素子1では、キンクレベル:80mW以上、アスペクト比:2.4、長寿命:1000時間以上であり、次世代の高密度・高速記録光ディスク用光源としての要求を満足しているものと思われる。ただし、レーザ素子1の電流狭搾と水平横モード制御がドライエッチング時間制御により実施しているため、プロセス・レーザ特性の再現性、および歩留りに大きな課題があり、コスト高騰を招く要因となっている。

【0032】

尚、上記の説明においてはGaN系半導体発光素子を例に挙げたが、砒化ガリウム(GaAs)、燐化インジウム(InP)等の他のIII—V族化合物半導体発光素子においても、同様に適用することができる。

【0033】

(現在最も一般的なGaN系レーザに対する比較例)

上記のような現在最も一般的なGaN系レーザでは、電流狭搾と水平横モード制御をリッジ構造で実現したが、このリッジ形成はドライエッチング技術が使用されているため、特にリッジ深さ制御が困難である。この理由は、リッジ深さ制御には、基板面内全体にわたる結晶成長膜厚制御とドライエッチング制御の両方が同時に必要になり、且つ結晶成長層としてドライエッチング停止層等が現存せずドライエッチングは時間制御を余儀なくされるため、厳密なリッジ深さ制御が非常に困難であるためである。

【0034】

現在最も一般的なGaN系レーザの比較例では、ドライエッチングにより形成されたリッジ構造において、現在最も一般的なGaN系レーザと比較して、リッジ深さ制御に誤差が生じた場合について説明する。

【0035】

本比較例におけるGaN系レーザの結晶成長およびリッジ形成以外のプロセス加

工工程は、前記の現在最も一般的なGaN系レーザと同様である。前記の現在最も一般的なGaN系レーザと比較して、本比較例では、リッジ形成プロセスのドライエッチング時間を設定値よりも長め（図13）および短め（図14）にした。ただし、この各ドライエッチング時間により形成されるリッジ深さは、上記の現在最も一般的なGaN系レーザで基板面内で生じるリッジ深さ分布内に入っている。

【0036】

図13では、前記の現在最も一般的なGaN系レーザと比較して、ドライエッチング時間を設定値よりも長くしたため、活性層19上のp型層の残し膜厚は設定値（140nm）よりも薄くなっている（レーザ素子2）。一方、図14では、前記の現在最も一般的なGaN系レーザと比較して、ドライエッチング時間を設定値よりも短くしたため、活性層19上のp型層の残し膜厚は設定値（140nm）よりも厚くなっている（レーザ素子3）。

【0037】

これらの比較例では、レーザ素子特性に以下に述べる大きな特徴を有している。

【0038】

本比較例により作製したレーザ素子2およびレーザ素子3は電流注入により室温連続発振に到った。この際のレーザ素子2の閾値電流およびスロープ効率は各々40mAおよび1.0W/Aであった。一方、レーザ素子3の閾値電流およびスロープ効率は各々60mAおよび0.7W/Aであった。前記の現在最も一般的なGaN系レーザのレーザ素子1と比較してレーザ素子2では、閾値電流が増加し、スロープ効率が低下している。この理由は、ドライエッチングによるp型層の残し膜厚が設定値よりも薄膜化し、活性層にエッチングダメージを与えたものと思われる。一方、レーザ素子3の閾値電流増加およびスロープ効率低下は顕著であるが、これはドライエッチングによるp型層の残し膜厚が設定値よりも厚膜化し、リッジ直下以外に流れる無効（リーク）電流が増加したことに起因している。さらに、電流—光出力特性のキンクレベルを比較すると、レーザ素子1およびレーザ素子3では80mW以上であるが、レーザ素子2では30mWにまで低下した（図15）。

【0039】

この理由は、レーザ素子2ではドライエッチングによるp型層の残し膜厚が設定値よりも薄膜化し、リッジ直下とリッジ直下以外の実効屈折率差(Δn)が増加することで光の横方向閉込めが強化され過ぎたために、水平横モードが不安定になりキンクレベルが低下したものと推測される。また、FFPを評価すると、レーザ素子2ではアスペクト比:1.8($\theta_{//}$:12°、 θ_{\perp} :22°)、レーザ素子3ではアスペクト比:3.7($\theta_{//}$:6°、 θ_{\perp} :22°)である。レーザ素子3ではアスペクト比は3以上であり、光ディスク用としては不向きである。次に、30mWの高光出力での室温一定光出力(APC)寿命試験を実施した。レーザ素子2では、活性層にドライエッチングダメージが存在するために、劣化率が大きく(0.2mA/h程度)、600時間程度の寿命時間であった。一方、レーザ素子3では、動作電流が大きく消費電力が大きいため、寿命時間が短く300時間程度であった。以上から、ドライエッチング技術でリッジ構造を形成し、水平横モードを制御する従来のGa_N系レーザでは、基板面内およびプロセスごとのレーザ特性の再現性、および歩留りに大きな課題があり、コスト高騰を招く要因となっている。

【0040】

(本発明の実施形態)

そこで本発明は、Ga_N系レーザの電流狭搾構造形成において、水平横モード制御と放熱性に優れ、高光出力動作でのキンクフリーと長寿命化を実現するGa_N系レーザを高歩留り且つ低コストで製造する方法を提供することを目的とする。

【0041】

以下、本発明の実施形態によるGa_N系レーザの製造方法の詳細について図面を参照しながら説明する。

【0042】

図16は本実施形態に係るGa_N系レーザの構成断面図を示している。

【0043】

まず、(0001)面を主面とするサファイア基板61を酸溶液を用いて洗浄を行なう。その後、洗浄した基板31を有機金属気相成長(MOVPE)装置(図示せず)の反応炉内のサセプタに保持し、反応炉を真空排気する。続いて、反応炉内を圧力が300Torrの水素雰囲気とし、温度を約1100℃にまで昇温して基板61を加熱し表面

のサーマルクリーニングを約10分間行なう。

【0044】

次に、反応炉を約500℃にまで降温した後、基板61の主面上に、供給量7sccmのトリメチルガリウム (TMG) と、供給量が7.5slmのアンモニア (NH₃) ガスと、キャリアガスとして水素とを同時に供給することにより、厚さが20nmのGa_{0.99}Nよりなる低温バッファ層 (図示せず) を成長する。続いて、反応炉を約1000℃にまで昇温し、n型ドーパントとしてシラン (SiH₄) ガスも供給して、厚さが約4nmでSi不純物濃度が約1E18cm⁻³のn型Ga_{0.99}Nよりなるn型コンタクト層62を成長する。

【0045】

次に、トリメチルアルミニウム (TMA) も供給しながら、厚さが約0.7nmでSi不純物濃度が5E17cm⁻³のn型Al_{0.07}Ga_{0.93}Nよりなるn型クラッド層63を成長する。続いて、厚さが約120nmでSi不純物濃度が約1E18cm⁻³のn型Ga_{0.99}Nよりなる第1の光ガイド層64を成長した後、温度を約800℃にまで降温し、キャリアガスを水素から窒素に変更して、トリメチルインジウム (TMI) とTMGを供給して厚さが約3nmのIn_{0.1}Ga_{0.9}Nよりなる量子井戸65、67、69と厚さが約9nmのGa_{0.99}Nバリア層66、68からなる多重量子井戸活性層を交互に成長する。続いて、活性層へのp型ドーパント拡散抑制のために厚さが約50nmのアンドープGa_{0.99}N層よりなるキャップ層70を成長した後、再び反応炉内の温度を約1000℃にまで昇温しキャリアガスを窒素から水素に戻して、p型ドーパントであるビスシクロペンタジエニルマグネシウム (Cp₂Mg) ガスを供給しながら、厚さが約20nmでMg不純物濃度が5E17cm⁻³のp型Al_{0.18}Ga_{0.82}Nよりなるキャップ層71を成長する。次に、厚さが約120nmでMg不純物濃度が1E18cm⁻³のp型Ga_{0.99}Nよりなる第2の光ガイド層72(a)を成長する (図17)。ただし、図17～図25では、図16のn型Ga_{0.99}N光ガイド層64から上層のみを示している。

【0046】

この後、基板61を反応炉から一旦取り出し、p型Ga_{0.99}N層72(a)上に選択成長用の絶縁膜73を形成する。絶縁膜73はSiO₂とし、プラズマCVD装置で40nm程度堆積させる (図18)。続いて、絶縁膜73上にレジスト膜74を塗布し (図19)、フォトリソグラフィ法により、(レジスト膜74の幅: レジスト除去幅) = (3mm

:497mm)を500mm周期で形成する(図20)。また、このストライプ方向はGaN膜の $\langle 1-100 \rangle$ 方向とした。この後、レジスト膜74をエッチングマスクとして、レジスト除去部の絶縁膜73をフッ酸溶液のウエットエッチングで除去しp型GaN層72(a)を露出させる(図21)。続いて、アセトンなどの有機溶液によりレジスト膜74を除去する(図22)。

【0047】

この後、n型電流挟持層を選択成長するために、ストライプ状の絶縁膜73が堆積された基板61を上記MOVPE装置の反応炉内のサセプタに再度保持し、反応炉を真空排気する。続いて、反応炉内を圧力が200Torrの水素雰囲気とし、温度を約1000℃にまで昇温して、厚さが約200nmでSi不純物濃度が $5 \times 10^{17} \text{cm}^{-3}$ のn型 $\text{Al}_{0.04}\text{Ga}_{0.96}\text{N}$ よりなる電流挟持層75を成長する。電流挟持層75は絶縁膜73上には成長せず、表面に露出したp型GaN層72(a)上にのみ選択的に成長する。

【0048】

ここで、電流挟持層75は、活性層への正孔注入を抑制するため、正孔の拡散長以上の膜厚保が必要である。砒化ガリウム(GaAs)や燐化インジウム(InP)等他のIII-V属化合物半導体の場合、正孔の拡散長は1mm程度である。一方、GaN系半導体の場合は、正孔の有効質量が重いことに起因して、その拡散長は0.2mm程度と短いことが特徴的である。

【0049】

したがって、本実施形態によりAlGaNで構成される電流挟持層75の膜厚は0.2mm以下の薄膜でよい。電流挟持層75の膜厚が1mm程度も必要な場合では、電流挟持層75が絶縁膜73上を容易にELO成長し絶縁膜73上を全面に覆い、電流挟持領域を形成できないことになる。また、電流挟持層75の結晶成長条件で電流挟持領域を形成しようとした場合には、GaやAlのマイグレーションを抑制することになるため、絶縁膜73上には多結晶(ポリ構造)が形成されやすく不具合が生じる。しかしながら、本実施形態による電流挟持層75の膜厚は200nm程度の薄膜であるため、ELO成長による電流挟持領域の制御が可能である。さらに、p型GaNよりなる第2の光ガイド層72(b)を再成長する際には、結晶表面の凹凸が小さいために、結晶欠陥が誘発されにくく結晶品質の高いp型GaN層72(b)を再成長できる。な

お、電流狭窄層75の膜厚の下限値は、10 nmである。

【0050】

また、電流狭窄層75の電子濃度制御も、活性層への正孔注入抑制に重要である。GaAsやInP等の他のIII-V属化合物半導体の場合は、正孔の拡散長が1 mm程度であるため、高電子濃度が必要とされる。一方、本実施形態による電流狭窄層75は、GaN系半導体の正孔拡散長は短いことに起因して電子濃度も低濃度化できる。GaN系半導体のELO成長の場合、電子（Si）濃度を増加すると、横方向の成長が抑制されることが特徴的である。このため、電流狭窄層75を低電子濃度化できることで、ELO成長が抑制されることなく、電流狭窄領域幅の制御が可能になる。

【0051】

尚、絶縁膜73は幅が3mm程度で狭いために、GaおよびAlの供給原子が十分にマイグレーションすることができ、絶縁膜73上に多結晶（ポリ）は発生しない。また、電流狭窄層75の選択成長条件を変化させることにより、絶縁膜73上に迫り出すように電流狭窄層75を横方向（ELO）成長させることができる。つまり、絶縁膜73の幅は3mmであるが、電流狭窄層75をELO成長させることにより、表面に露出する絶縁膜73の幅を1.5mm程度に任意に低減することが可能である。これは、電流注入領域幅を1.5mm程度にすることと同様であるため、電流狭窄と水平横モードを容易に設計・制御できることを示している。また、上記の現在最も一般的なGaN系レーザでは、ドライエッチングでp型層残し膜厚を制御したが、本実施形態では、ドライエッチングフリーで、p型 $\text{Al}_{0.18}\text{Ga}_{0.82}\text{N}$ キャップ層71とp型 GaNガイド層72(a)の成長膜厚だけでp型層残し膜厚を制御できる。このため、水平横モード制御を基板面内で且つプロセスに依存せず容易に設計・制御できることになる（図23）。

【0052】

この後、p型層を結晶表面の全面的に再成長するために、基板61を反応炉から一旦取り出し、フッ酸溶液のウェットエッチングで絶縁膜73を除去しp型GaN層72(a)を露出させる（図24）。

【0053】

続いて、基板61を上記MOVPE装置の反応炉内のサセプタに再度保持し、反応炉を真空排気する。続いて、反応炉内を圧力が200Torrの水素雰囲気とし、温度を約1000℃にまで昇温して、厚さが約20nmでMg不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ のp型GaNよりなる第2の光ガイド層72(b)を全面的に成長する。続いて、厚さが約0.7mmでMg不純物濃度が $5 \times 10^{17} \text{cm}^{-3}$ のp型 $\text{Al}_{0.07}\text{Ga}_{0.93}\text{N}$ よりなるp型クラッド層76を成長する。最後に、厚さが約0.1mmでMg不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ のp型GaNよりなるp型コンタクト層77を成長する(図25)。

【0054】

結晶成長後、まずp型半導体層の活性化加熱処理を行う。MOVPE装置の反応炉から基板を取り出し、p型不純物活性化の加熱処理を施すためにアニール炉の中に搬送する。次にアニール炉を真空排気した後、供給量3slmの窒素ガスを導入して大気圧にした後、750℃で30分間の加熱処理をおこなう。加熱処理後、基板を室温まで降温し、アニール炉から取り出す。

【0055】

次に、レーザ構造形成のプロセス加工工程を、図16を参照しながら説明する。

【0056】

加熱処理終了後、n型電極の形成位置以外を SiO_2 よりなる絶縁膜78で覆い、ドライエッチングでn型コンタクト層62を露出させる。また、p側とn側の電気的分離は SiO_2 からなる絶縁膜78で形成し、p型電極79としてNiとPtとAu、n型電極80としてTiとAlを蒸着する。本実施形態では、上記第1の実施形態とは異なり、ドライエッチングによるリッジ構造形成のプロセス工程が不要であるため、レーザ構造加工プロセスが容易・簡略化されるために高歩留り・低コスト化に寄与する。

【0057】

続いて、レーザ共振器端面のへき開工程に移る。まず、基板61をサファイア基板の裏面から研磨し総膜厚を100mm程度に薄膜化する。その後、リッジストライプ方向と垂直方向に共振器端面が形成されるように、基板61をへき開装置(図示せず)でへき開する。この段階で、へき開端面をレーザ共振器(共振器長:750m

m) とするバー状態のレーザ素子4を作製することができる。

【0058】

次に、レーザ共振器の後端面に高反射膜コートをおこなう。ただし、高反射膜はSiO₂とTiO₂の3対で構成される誘電体多層膜構造とした。

【0059】

最後に、バー状態のレーザ素子の2次へき開をおこなってレーザチップに分離して、レーザキャンにpサイドダウンで実装する。実装時には、レーザチップを炭化珪素 (SiC) からなるサブマウントに半田を介して実装する。

【0060】

この実施形態では、レーザ素子特性に以下に述べる大きな特徴を有している。

【0061】

本実施形態により作製したレーザ素子4は電流注入により室温連続発振に到った。この際の閾値電流、スロープ効率および発振波長は各々30mA、1.2W/A、405nmであった。また、電流—光出力特性のキンクレベルは80mW以上であった。レーザ素子4の電流—光出力特性を図26に示す。この結果から、レーザ素子4では80mW程度の高光出力動作でも水平横モードが安定であり、選択再成長技術によるp型層残し膜厚制御により横モード制御が成されていることがわかる。さらに、遠視野像 (FFP) を評価すると、 $\theta_{,,}$ は9°、 θ_{\perp} は22°、アスペクト比 ($\theta_{\perp}/\theta_{,,}$) は2.4である。光ディスク用としてはアスペクト比は3未満が要求されているため、レーザ素子4ではこの要求を満たしていることになる。

【0062】

次に、30mWの高光出力での室温一定光出力 (APC) 寿命試験を実施した。レーザ素子1では0.05mA/h程度の劣化率であり、1000時間以上の安定動作を示した。以上から、レーザ素子4では上記レーザ素子1と同様に、キンクレベル: 80mW以上、アスペクト比: 2.4、長寿命: 1000時間以上であり、次世代の高密度・高速記録光ディスク用光源としての要求を満足しているものと思われる。ただし、レーザ素子1では、電流狭搾と水平横モード制御がドライエッチング時間制御により実施しているため、プロセス・レーザ特性の再現性、および歩留りに大きな課題があった。しかしながら、レーザ素子4では、結晶成長制御のみで電流狭搾

と水平横モード制御が可能になるため、上記課題が大きく改善され、さらにプロセス工程も大幅に容易化・簡略化されるために、高歩留りが実現でき、低コスト化に大きく寄与する。

【0063】

さらに、本実施形態では、電流狭搾層75をn型 $\text{Al}_{0.04}\text{Ga}_{0.96}\text{N}$ としたが、電流狭搾層75の屈折率は結晶成長膜の混晶組成により任意に変化させることが可能である。このため、レーザ素子4では、ロスガイド構造もしくは実屈折率ガイド構造に容易に設計することが可能である。尚、本実施形態では実屈折率ガイド構造となっている。したがって、レーザ素子4では、レーザ素子1と比較して、注入電流が狭搾された領域の活性層の外側を光吸収層として設計・作用させることができるため、相対強度 (RIN) ノイズを1.5mW～80mWの光出力範囲で-125dB/Hz以下程度に低減することができる。

【0064】

尚、本実施形態はGaN系半導体発光素子であったが、砒化ガリウム (GaAs)、燐化インジウム (InP) 等の他のIII-V族化合物半導体発光素子においても、同様に適用することができる。

【0065】

【発明の効果】

本発明に係る第1の半導体発光素子の製造方法は、上記の目的を達成し、基板の主面上に成長した第1のIII-V族化合物半導体上に絶縁膜を間隔をおいてストライプ状に周期的に形成する工程と、その上面に第2のIII-V族化合物半導体を選択的に成長する工程と、上記絶縁膜を除去した後に第3のIII-V族化合物半導体を再度成長する工程とを備えることを特徴とする。上記第2の半導体を絶縁膜以外の箇所に選択的に成長し、且つ上記第2の半導体の電気的伝導性を変化させることで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

【0066】

第2の半導体発光素子の製造方法は、上記第1の製造方法において、第1の半

導体と第2の半導体との電気的伝導性が異なることを特徴とする。上記第2の半導体を選択的に成長し、且つ上記第2の半導体の電気的伝導性を上記第1の半導体と異なるように設計することで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

【0067】

本発明に係る第3の半導体発光素子の製造方法は、上記第1および第2の製造方法において、第1の半導体と第3の半導体との電気的伝導性が同じであることを特徴とする。上記第2の半導体を選択的に成長し、且つ上記第1の半導体と上記第3の半導体の電気的伝導性を同じに設計することで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

【0068】

第4の半導体発光素子の製造方法は、上記第1、2、3の製造方法において、第1の半導体と第3の半導体がp型半導体であり、第2の半導体がn型半導体であることを特徴とする。上記第2の半導体を選択的に成長し、且つ上記第1の半導体と上記第3の半導体の電気的伝導性をp型に設計し、上記第2の半導体の電気的伝導性をn型に設計することで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだn型電流狭搾層として作用させることが可能になる。

【0069】

本発明に係る第5の半導体発光素子の製造方法は、上記第1、2、3、4の製造方法において、上記絶縁膜領域が電流注入領域となることを特徴とする。上記第2の半導体を絶縁膜以外の箇所に選択的に成長し、且つ上記第2の半導体の電気的伝導性を変化させることで、上記絶縁膜領域のみを電流注入領域とすることが可能になる。つまり、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流狭搾層として作用させることが可能になる。

第6の半導体発光素子の製造方法は、上記第1、2、3、4、5の製造方法において、第2の半導体が内部ストライプ電流挟層となることを特徴とする。上記第2の半導体をストライプ状の絶縁膜以外の箇所に選択的に成長し、且つ上記第2の半導体の電氣的伝導性を変化させることで、上記絶縁膜領域にみを電流注入領域とすることが可能になる。つまり、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ内部ストライプ電流挟層として作用させることが可能になる。

【0070】

本発明に係る第7の半導体発光素子の製造方法は、上記第1、2、3、4、5、6の製造方法において、第1の半導体に活性層が含まれており、活性層と第2の半導体との間の膜厚が結晶成長のみで制御されることを特徴とする。上記第2の半導体を絶縁膜以外の箇所に選択的に成長し、且つ上記第2の半導体の電氣的伝導性を変化させることで、上記第1の半導体にドライエッチングダメージを与えることなく、且つ活性層と第2の半導体との間の膜厚が結晶成長のみで制御可能になり、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流挟層として作用させることが可能になる。

【0071】

第8の半導体発光素子の製造方法は、上記第1、2、3、4、5、6、7の製造方法において、上記絶縁膜の除去方法がドライエッチングによらないことを特徴とする。上記第2の半導体を絶縁膜以外の箇所に選択的に成長し、且つ上記第3の半導体の成長前に上記絶縁膜除去をドライエッチング不要の制御性に優れたウエットエッチング等を使用することで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流挟層として作用させることが可能になる。

【0072】

本発明に係る第9の半導体発光素子の製造方法は、上記第1、2、3、4、5、6、7、8の製造方法において、上記半導体が窒化物系III-V族化合物半導体であることを特徴とする。窒化物系III-V族化合物半導体は結晶的および化

学的に非常に安定であるため、プロセス加工は一般的にドライエッチングを使用する。しかしながら、ウェットエッチングと比較して、ドライエッチングは制御性および再現性に劣り、且つエッチングダメージが大きく結晶性劣化を招くことがある。そこで、上記第2の半導体を絶縁膜以外の箇所に選択的に成長し、且つ上記第3の半導体の成長前に上記絶縁膜除去をドライエッチング不要の制御性に優れたウェットエッチング等を使用することで、上記第1の半導体にドライエッチングダメージを与えることなく、上記第2の半導体をドライエッチングフリーで制御性および歩留りに富んだ電流挟持層として作用させることが可能になる。

【図面の簡単な説明】

【図1】

現在最も一般的なGaN系レーザに係る結晶成長終了後のGaN系半導体レーザの構成断面図

【図2】

現在最も一般的なGaN系レーザに係るプロセス加工時のGaN系半導体レーザの構成断面図

【図3】

現在最も一般的なGaN系レーザに係るプロセス加工時のGaN系半導体レーザの構成断面図

【図4】

現在最も一般的なGaN系レーザに係るプロセス加工時のGaN系半導体レーザの構成断面図

【図5】

現在最も一般的なGaN系レーザに係るプロセス加工時のGaN系半導体レーザの構成断面図

【図6】

現在最も一般的なGaN系レーザに係るプロセス加工時のGaN系半導体レーザの構成断面図

【図7】

現在最も一般的なGaN系レーザに係るプロセス加工時のGaN系半導体レーザの構成断面図

成断面図

【図 8】

現在最も一般的なGa_N系レーザに係るプロセス加工時のGa_N系半導体レーザの構

成断面図

【図 9】

現在最も一般的なGa_N系レーザに係るプロセス加工時のGa_N系半導体レーザの構

成断面図

【図 10】

現在最も一般的なGa_N系レーザに係るプロセス加工時のGa_N系半導体レーザの構

成断面図

【図 11】

現在最も一般的なGa_N系レーザに係るプロセス加工時のGa_N系半導体レーザの構

成断面図

【図 12】

現在最も一般的なGa_N系レーザの電流—光出力特性を示す図

【図 13】

現在最も一般的なGa_N系レーザに対する比較例に係るプロセス加工時のGa_N系半導体レーザの構成断面図

【図 14】

現在最も一般的なGa_N系レーザに対する比較例に係るプロセス加工時のGa_N系半導体レーザの構成断面図

【図 15】

現在最も一般的なGa_N系レーザに対する比較例に係るGa_N系半導体レーザの電流—光出力特性を示す図

【図 16】

本発明の実施形態に係る結晶成長時のGa_N系半導体レーザの構成断面図

【図 17】

本発明の実施形態に係るプロセス加工後のGa_N系半導体レーザの構成断面図

【図 18】

本発明の実施形態に係るプロセス加工後のGa_N系半導体レーザの構成断面図

【図19】

本発明の実施形態に係るプロセス加工後のGa_N系半導体レーザの構成断面図

【図20】

本発明の実施形態に係るプロセス加工後のGa_N系半導体レーザの構成断面図

【図21】

本発明の実施形態に係るプロセス加工後のGa_N系半導体レーザの構成断面図

【図22】

本発明の実施形態に係るプロセス加工後のGa_N系半導体レーザの構成断面図

【図23】

本発明の実施形態に係るプロセス加工後のGa_N系半導体レーザの構成断面図

【図24】

本発明の実施形態に係るプロセス加工後のGa_N系半導体レーザの構成断面図

【図25】

本発明の実施形態に係るプロセス加工後のGa_N系半導体レーザの構成断面図

【図26】

本発明の実施形態に係るGa_N系半導体レーザの電流—光出力特性を示す図

【符号の説明】

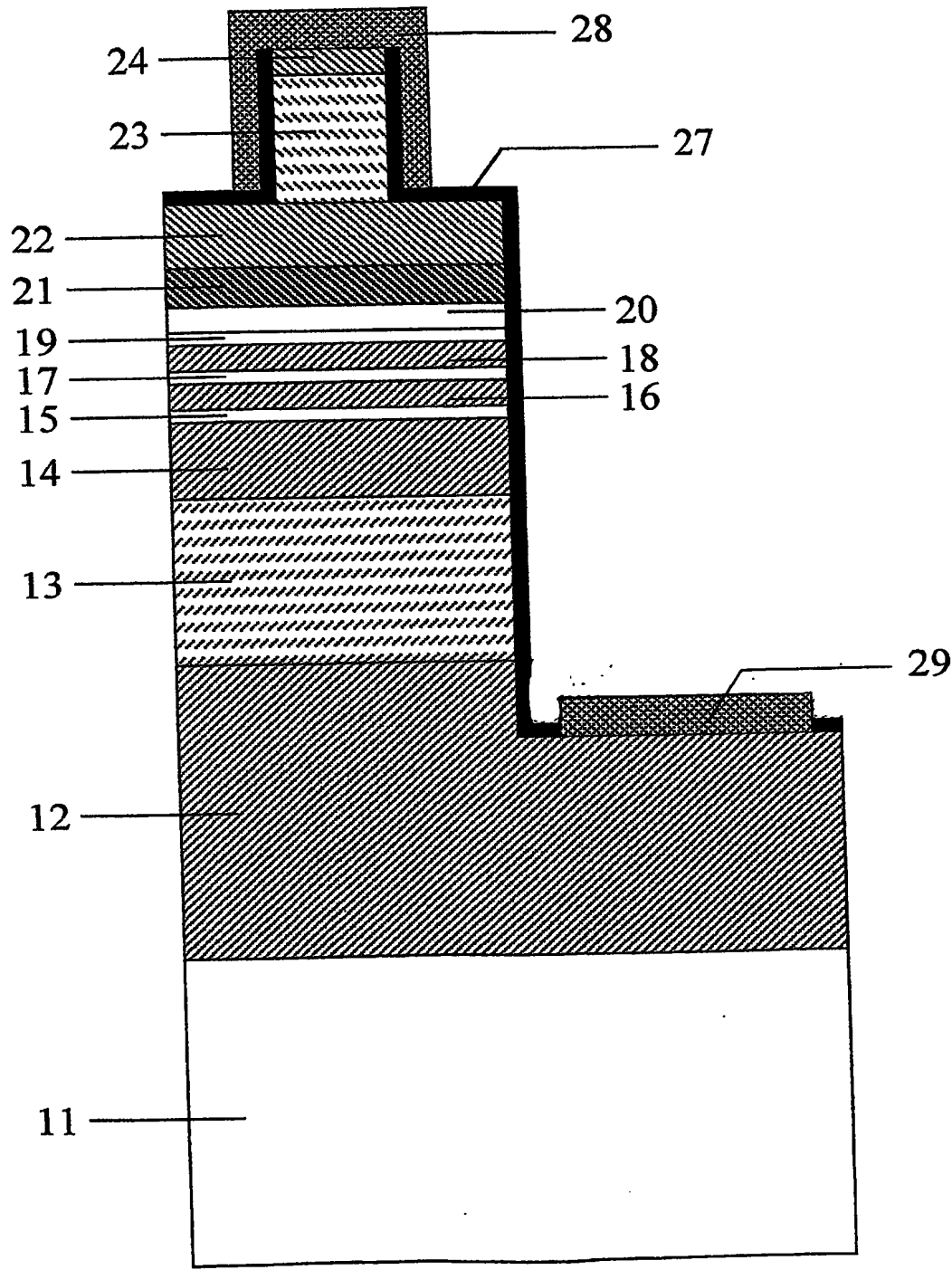
11 サファイア基板 12 n型Ga_Nコンタクト層 13 n型Al_{0.07}Ga_{0.93}N
クラッド層 14 n型Ga_N光ガイド層 15 In_{0.1}Ga_{0.9}N量子井戸 16 n型G
aNバリア層 17 In_{0.1}Ga_{0.9}N量子井戸 18 n型Ga_Nバリア層 19 In_{0.1}Ga
0.9N量子井戸 20 Ga_Nキャップ層 21 p型 Al_{0.18}Ga_{0.82}Nキャップ層 22
p型 Ga_N光ガイド層 23 p型Al_{0.07}Ga_{0.93}Nクラッド層 24 p型Ga_Nコン
タクト層 25 SiO₂膜 26 レジスト膜 27 SiO₂膜 28 p側電極 29
n側電極

61 サファイア基板 62 n型Ga_Nコンタクト層 63 n型Al_{0.07}Ga_{0.93}N
クラッド層 64 n型Ga_N光ガイド層 65 In_{0.1}Ga_{0.9}N量子井戸 66 n型G
aNバリア層 67 In_{0.1}Ga_{0.9}N量子井戸 68 n型Ga_Nバリア層 69 In_{0.1}Ga
0.9N量子井戸 70 Ga_Nキャップ層 71 p型 Al_{0.18}Ga_{0.82}Nキャップ層 72 (

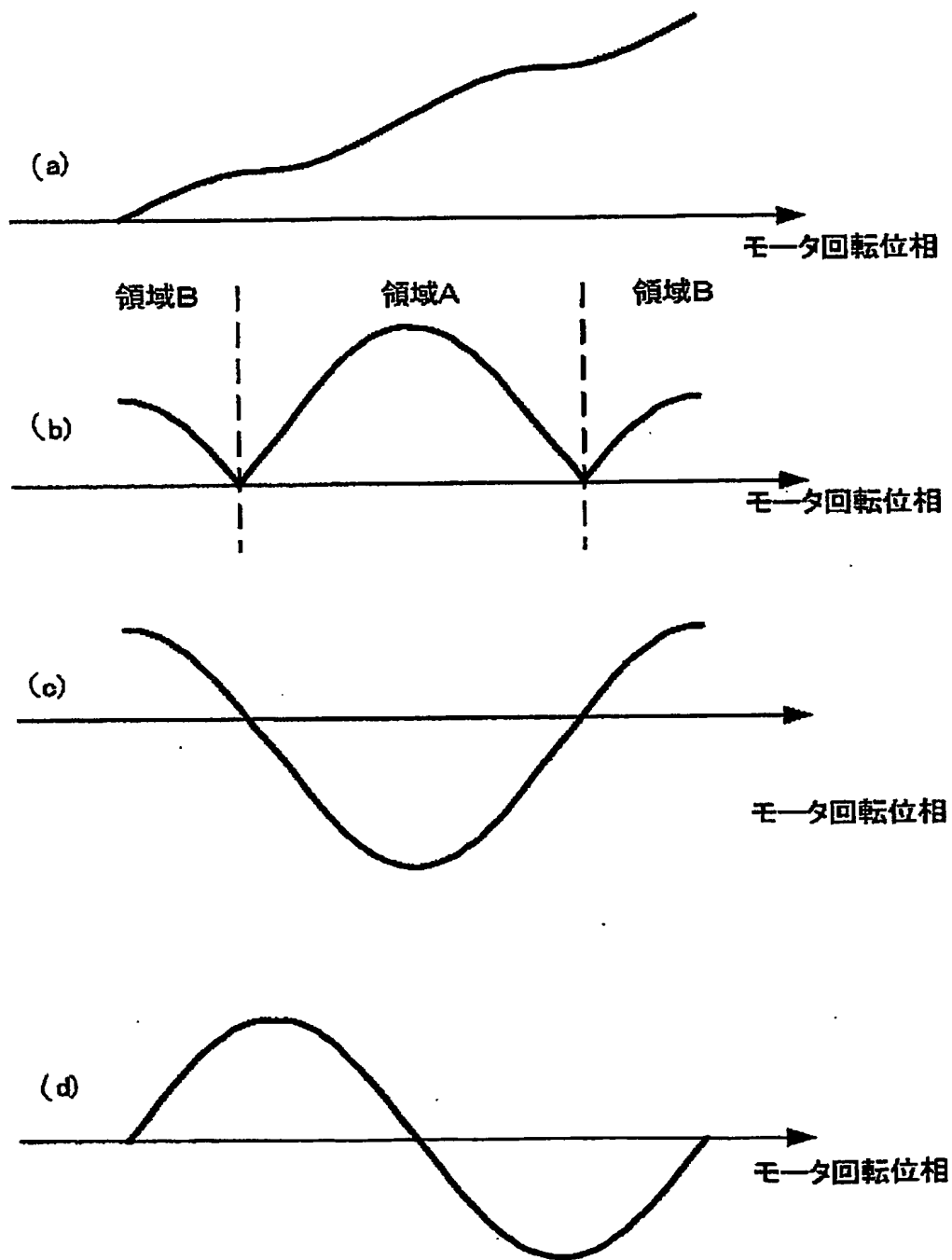
a) p 型 GaN 光ガイド層 7 2 (b) p 型 GaN 光ガイド層 7 3 SiO₂ 膜 7 4
 レジスト膜 7 5 n 型 Al_{0.04}Ga_{0.96}N 電流狭搾層 7 6 p 型 Al_{0.07}Ga_{0.93}N クラ
 ッド層 7 7 p 型 GaN コンタクト層 7 8 SiO₂ 膜 7 9 p 側電極 8 0 n 側
 電極

【書類名】 図面

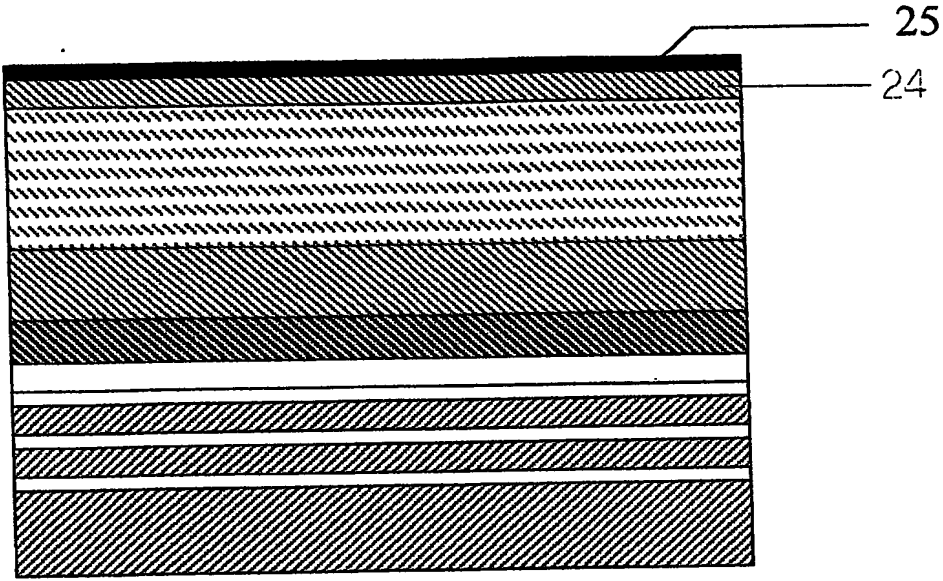
【図 1】



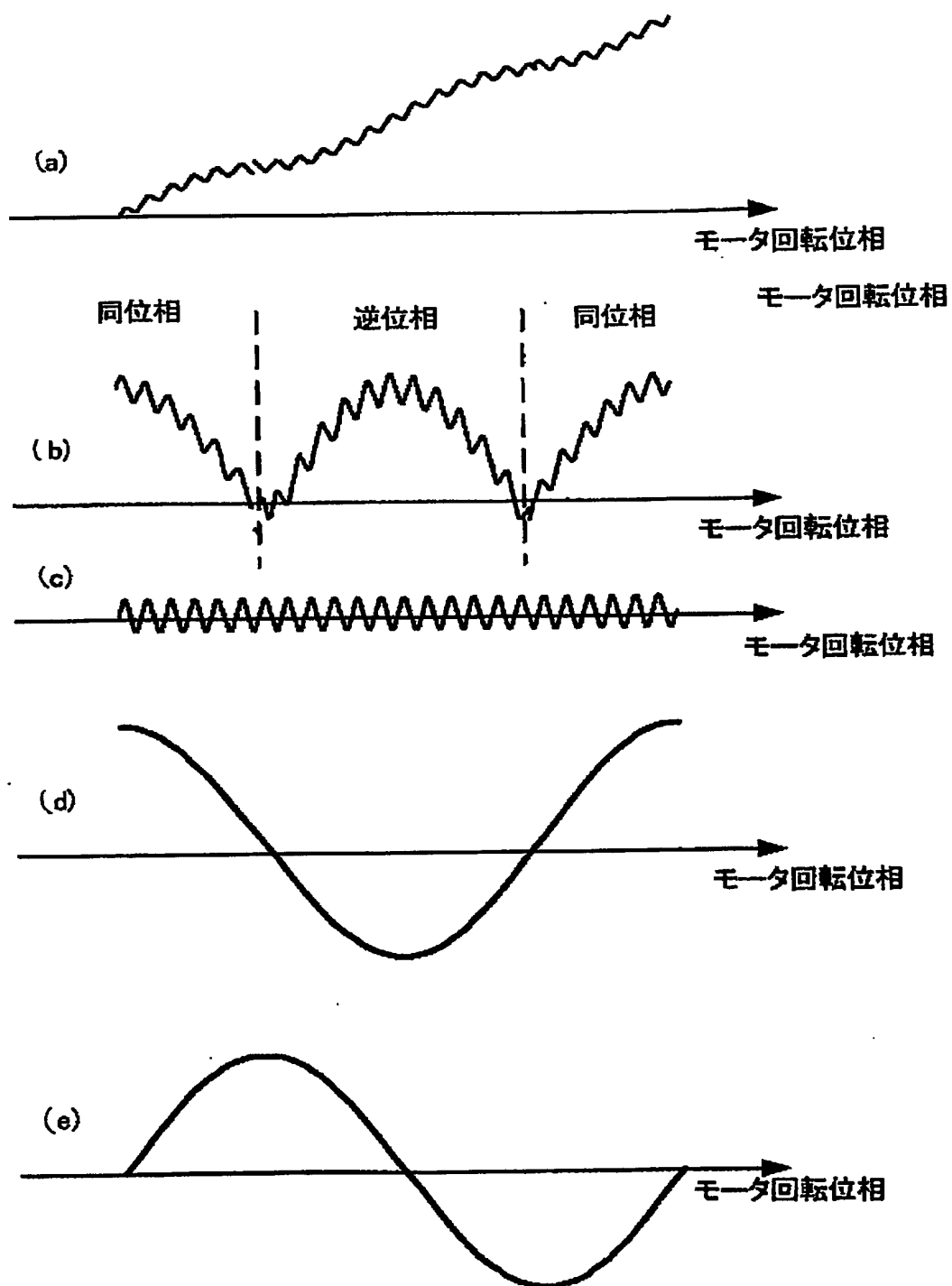
【図2】



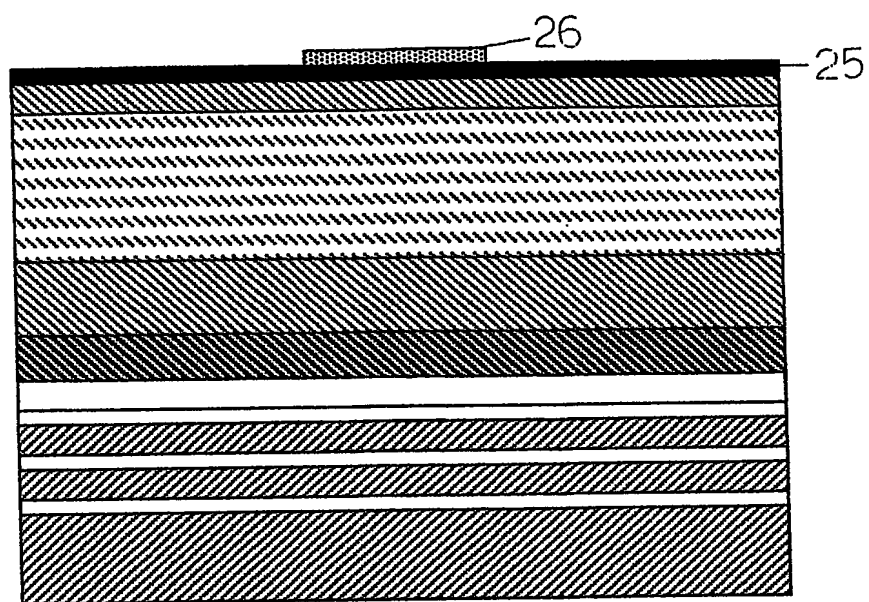
【図 3】



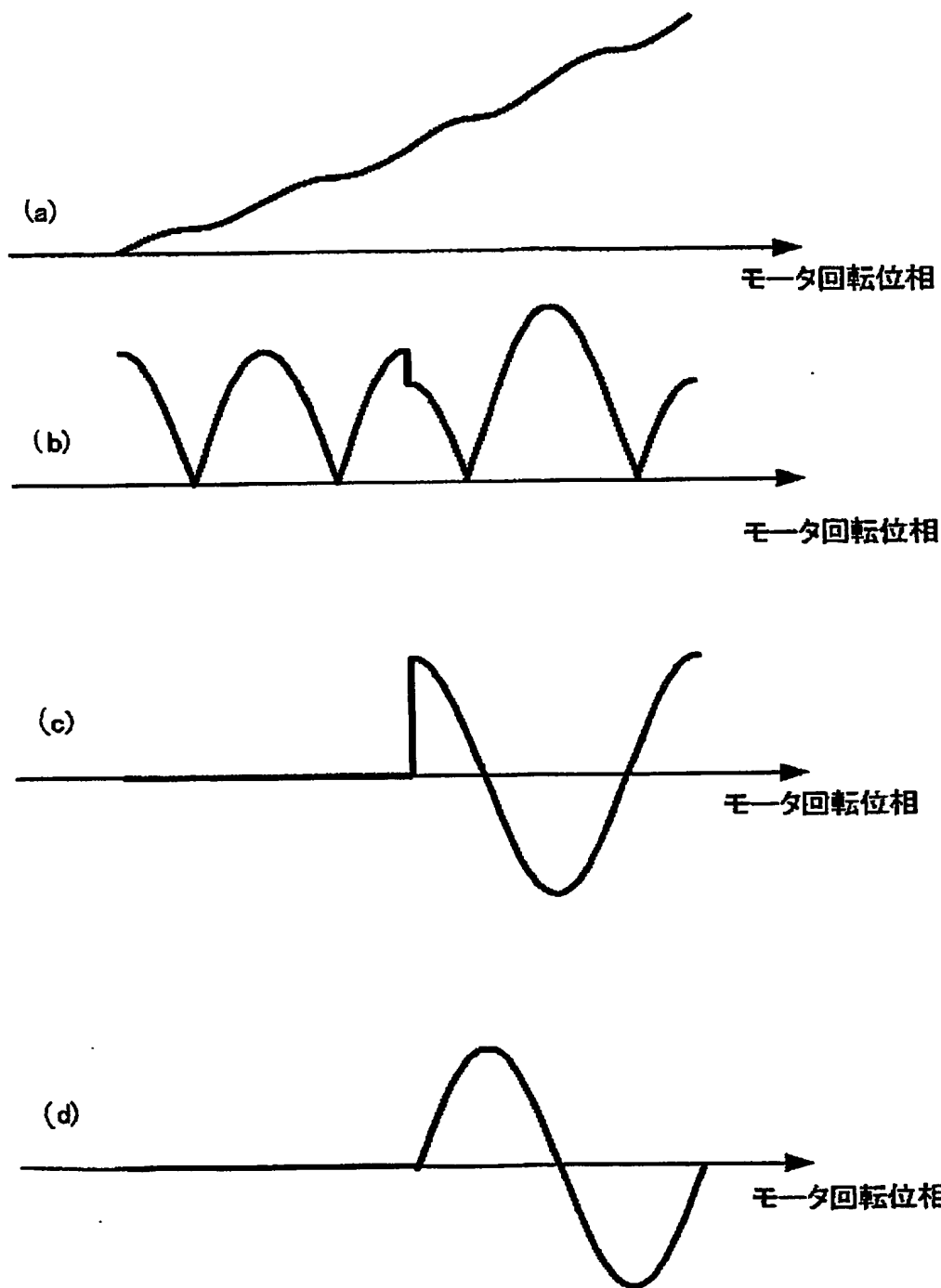
【図4】



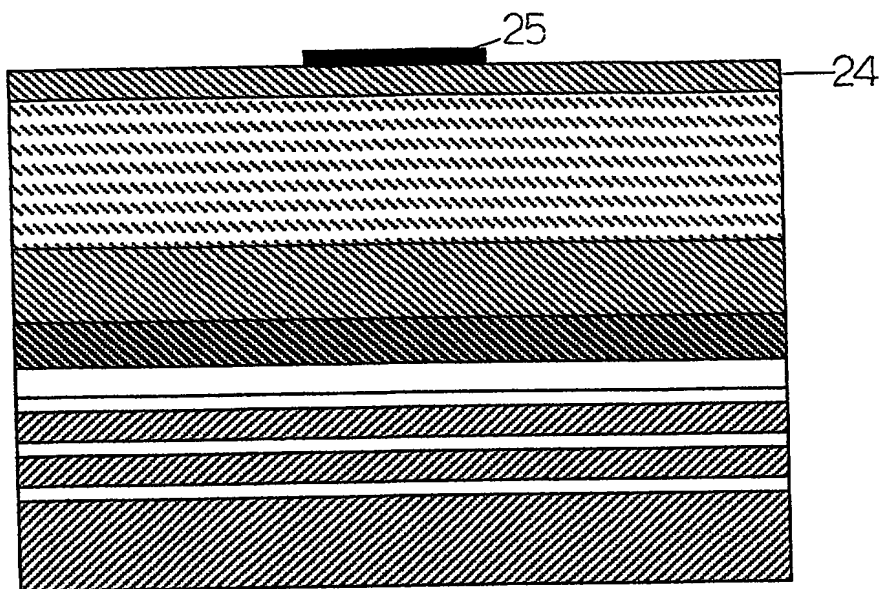
【図 5】



【図 6】



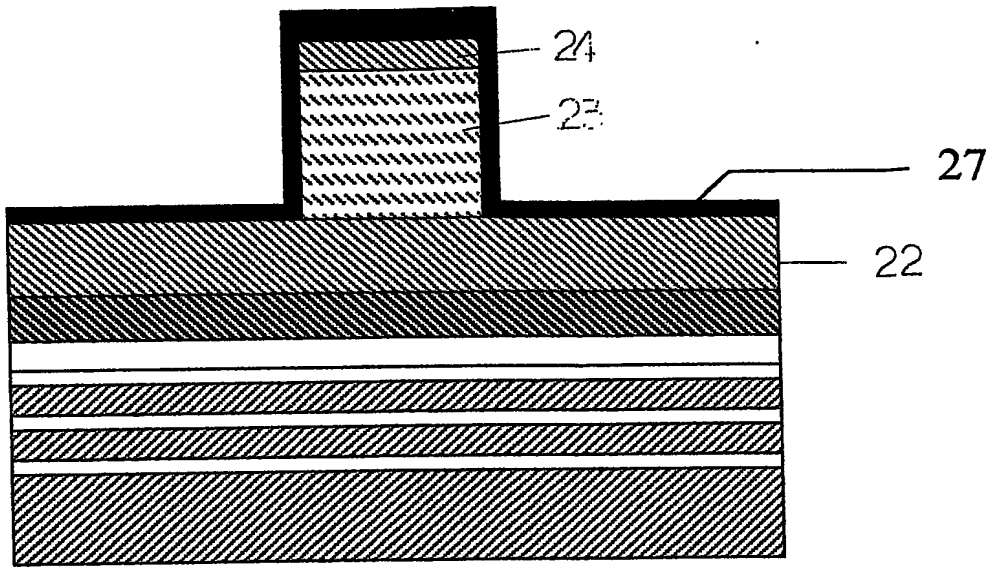
【図 7】



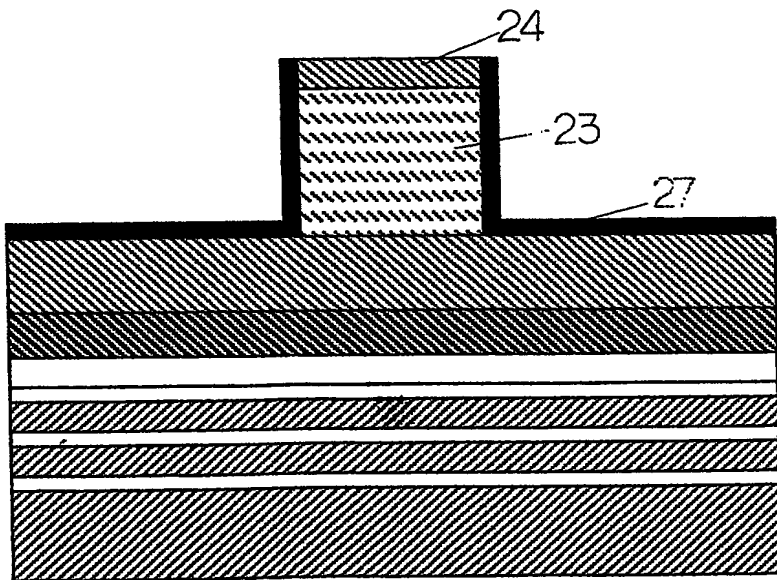
【図 8】



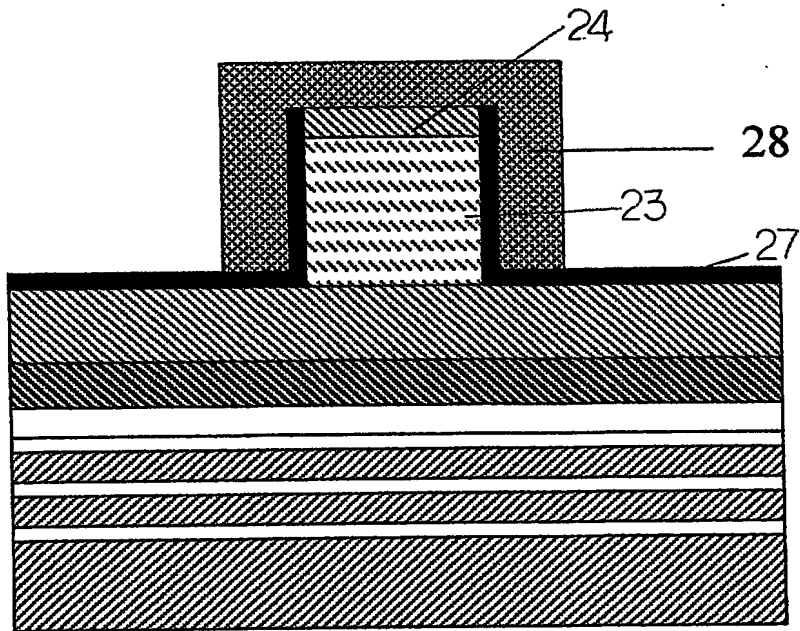
【図9】



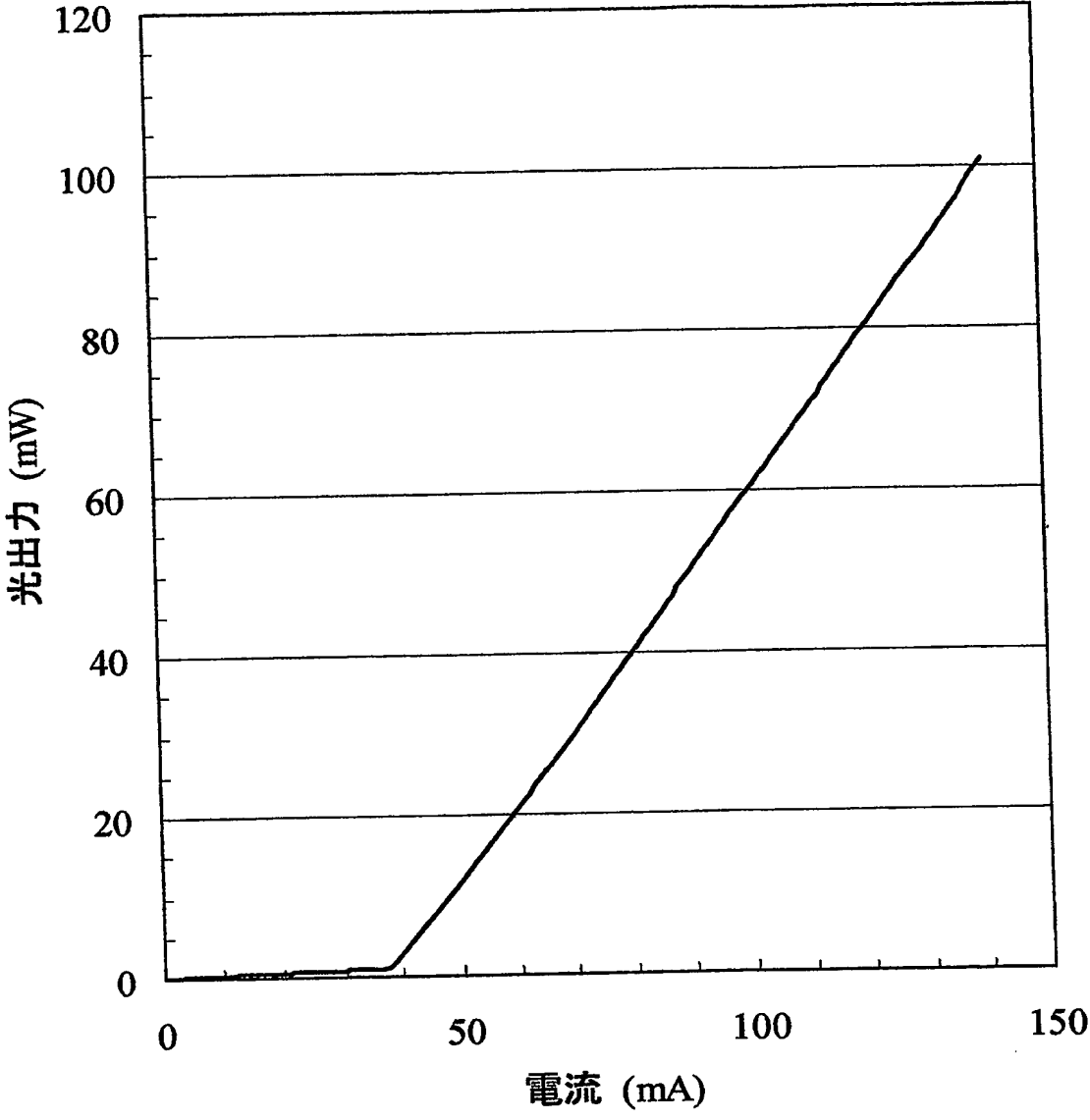
【図10】



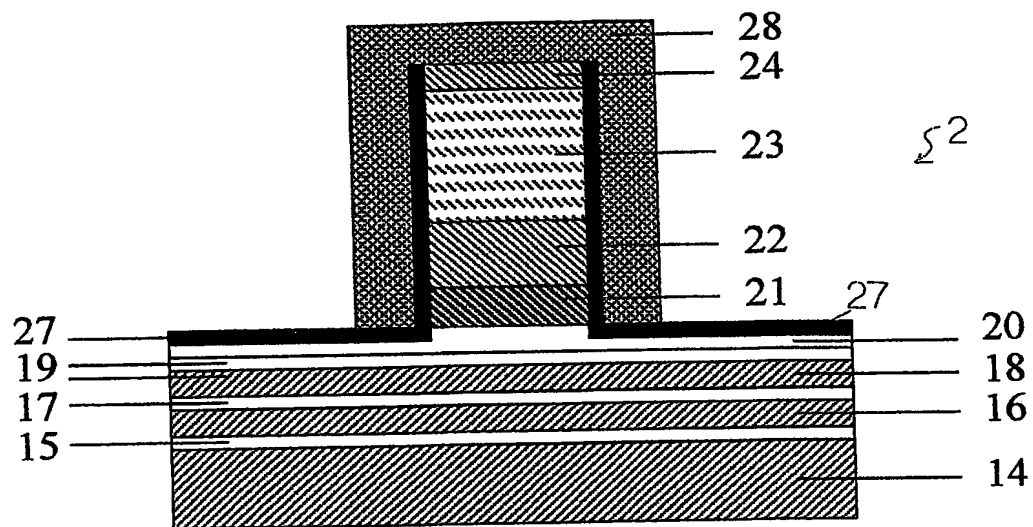
【図 11】



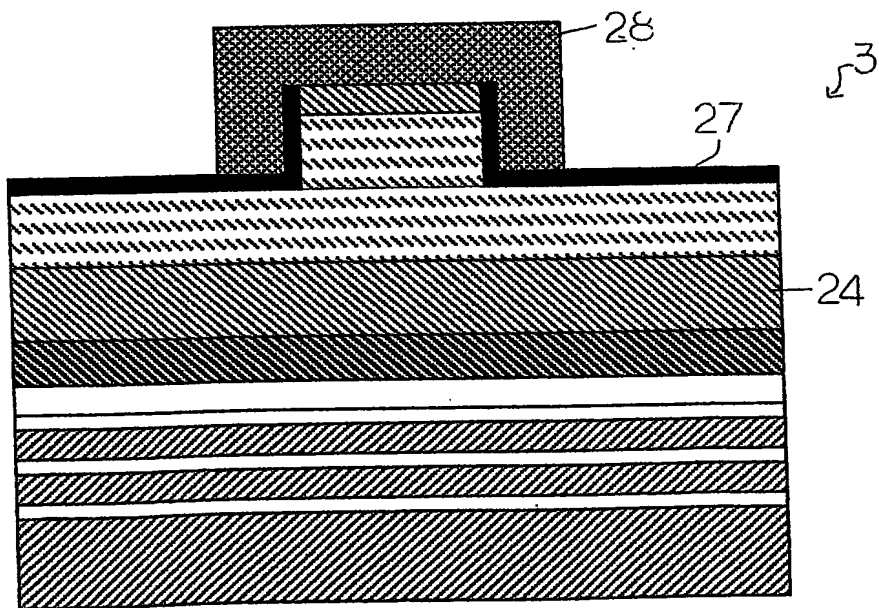
【図12】



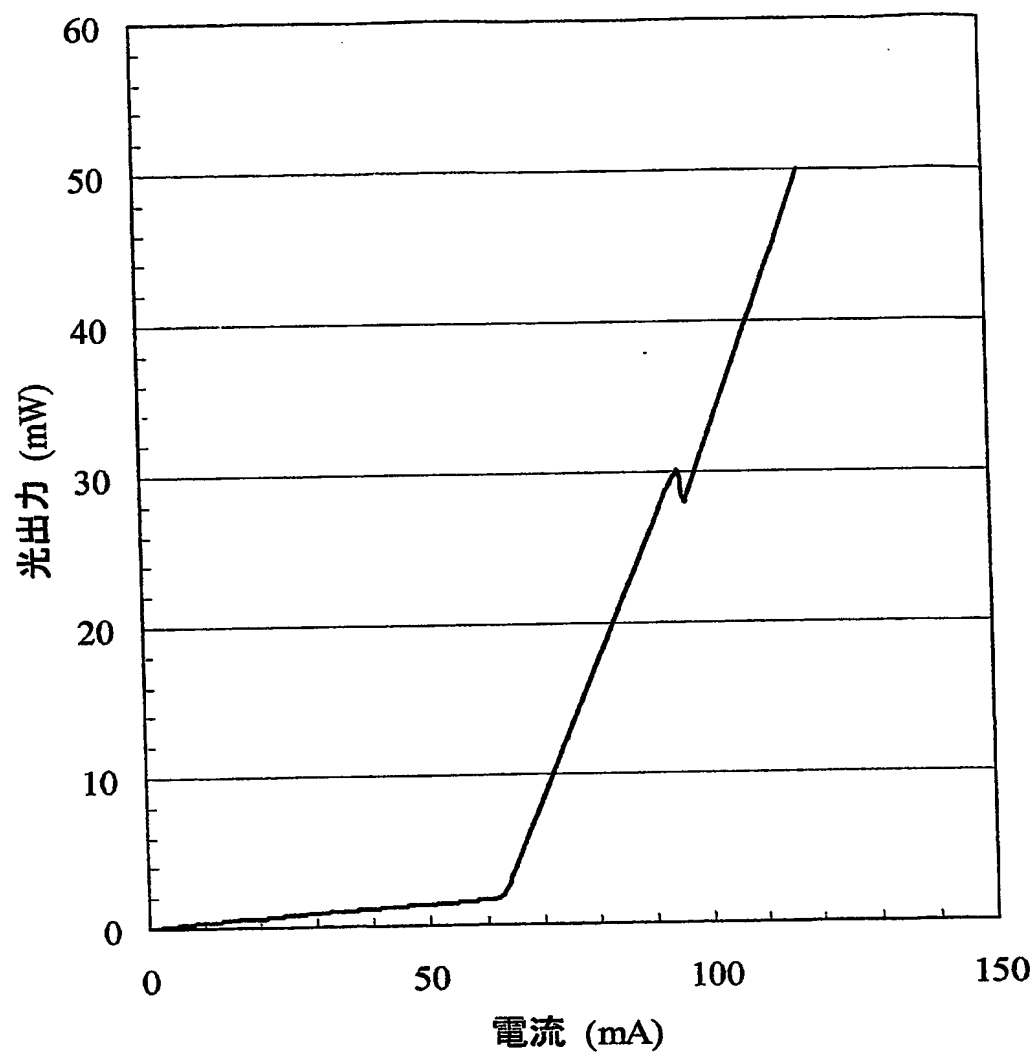
【図13】



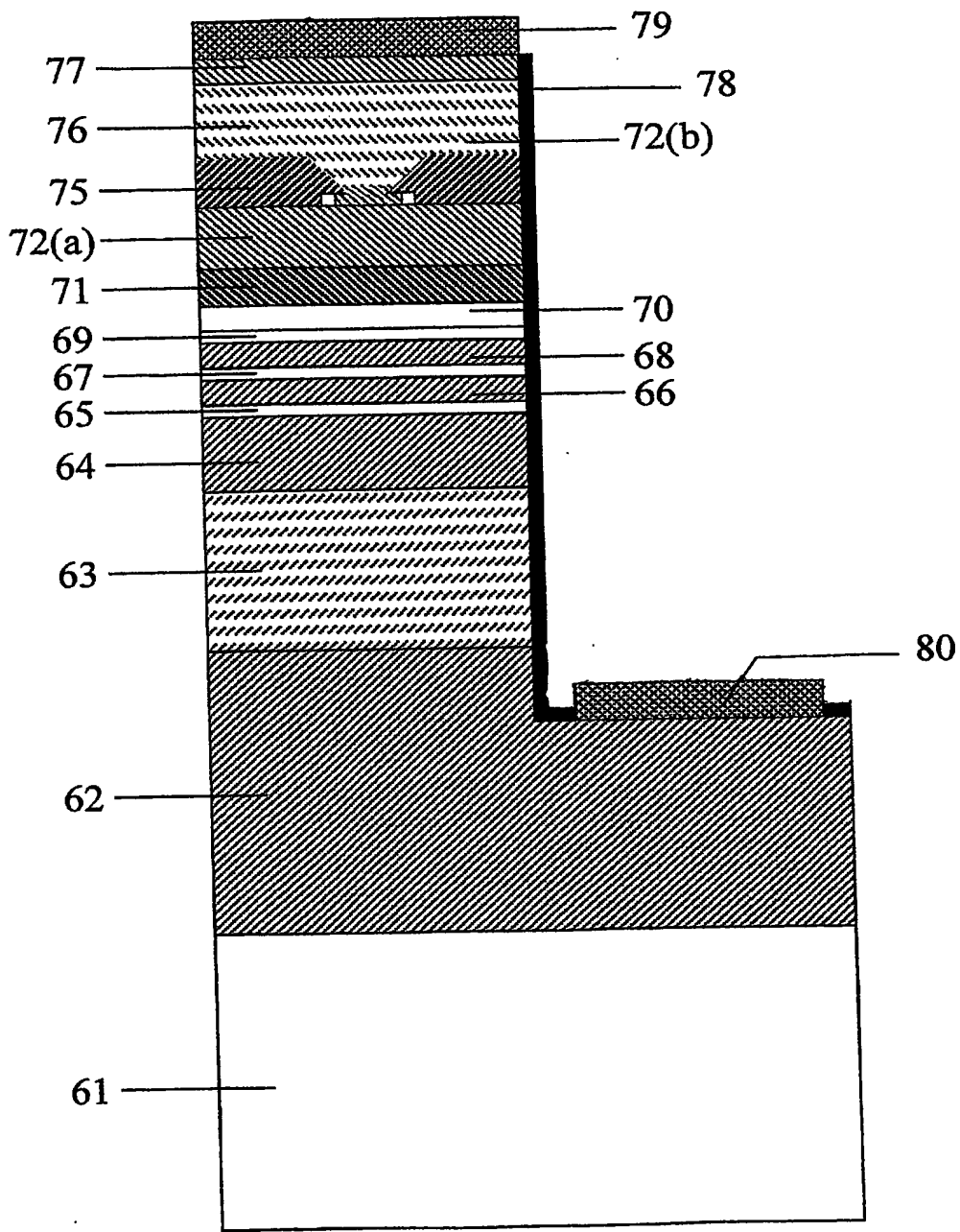
【図14】



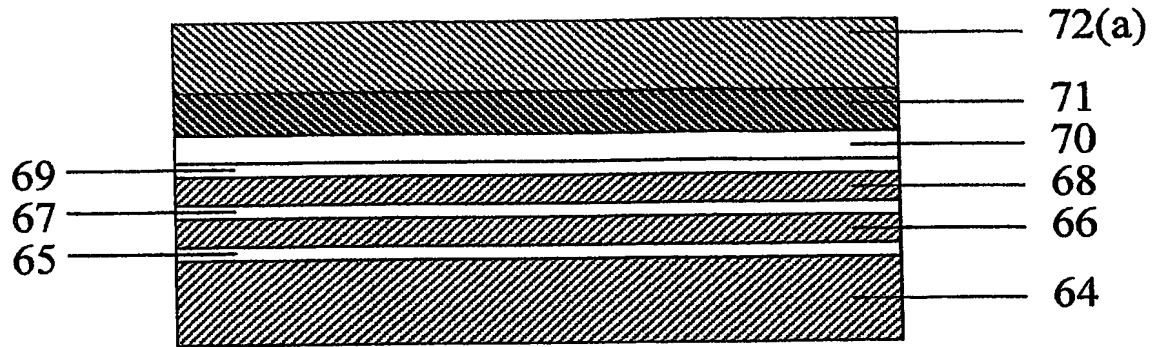
【図15】



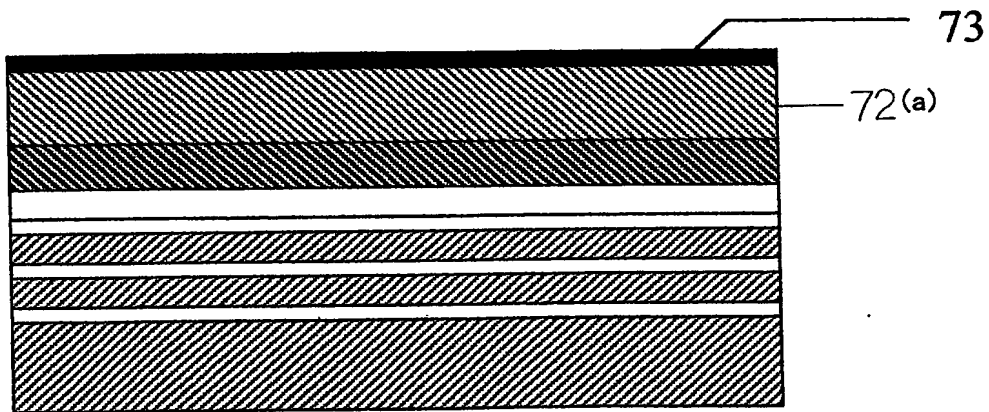
【図16】



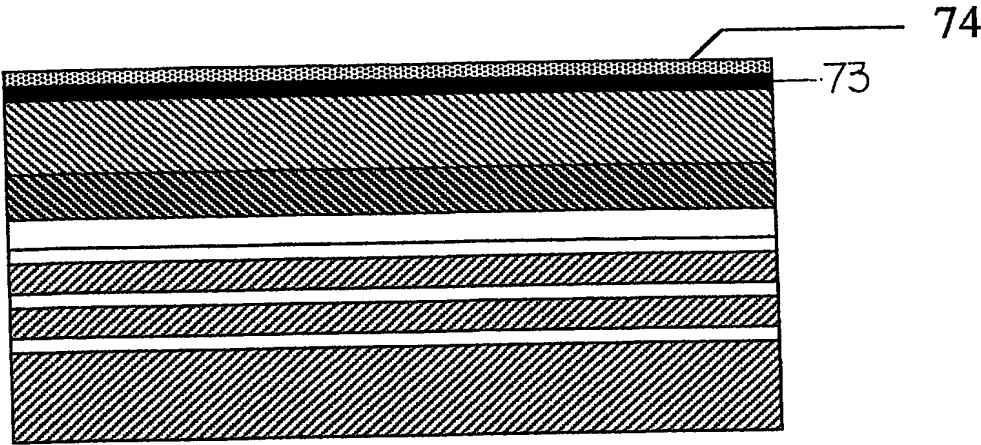
【図 1 7】



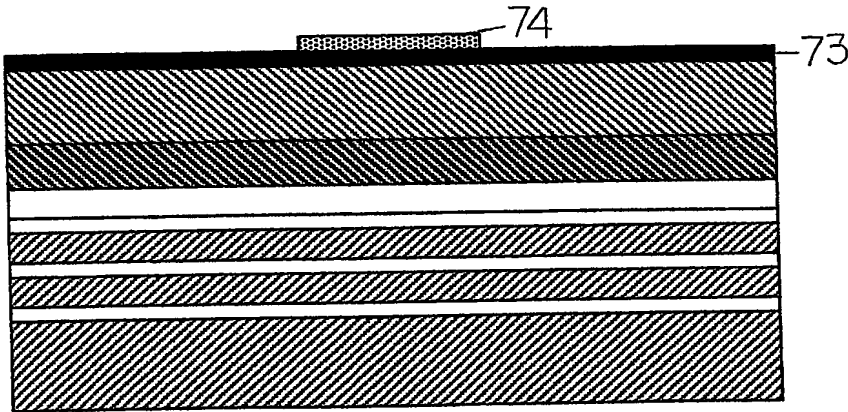
【図 1 8】



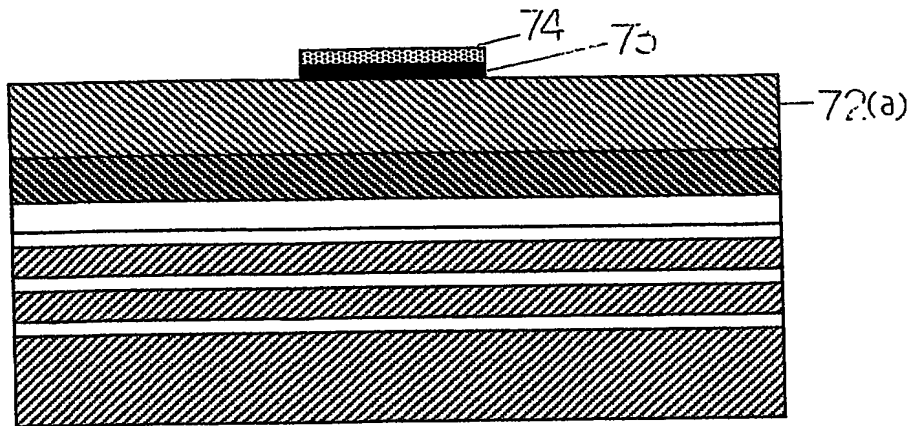
【図19】



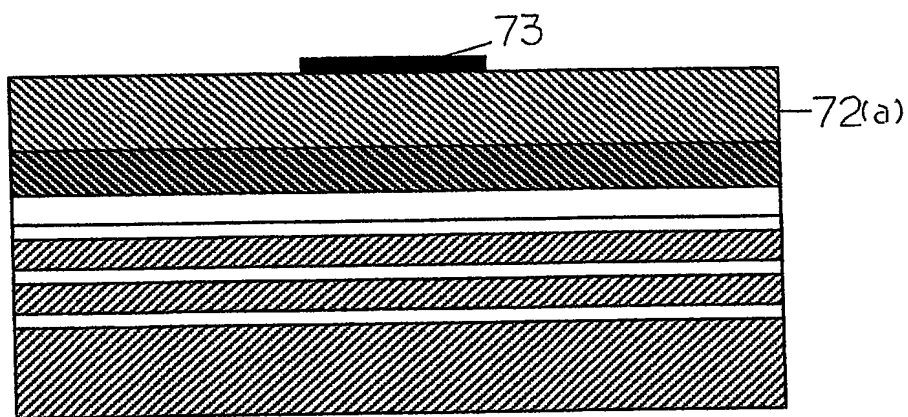
【図20】



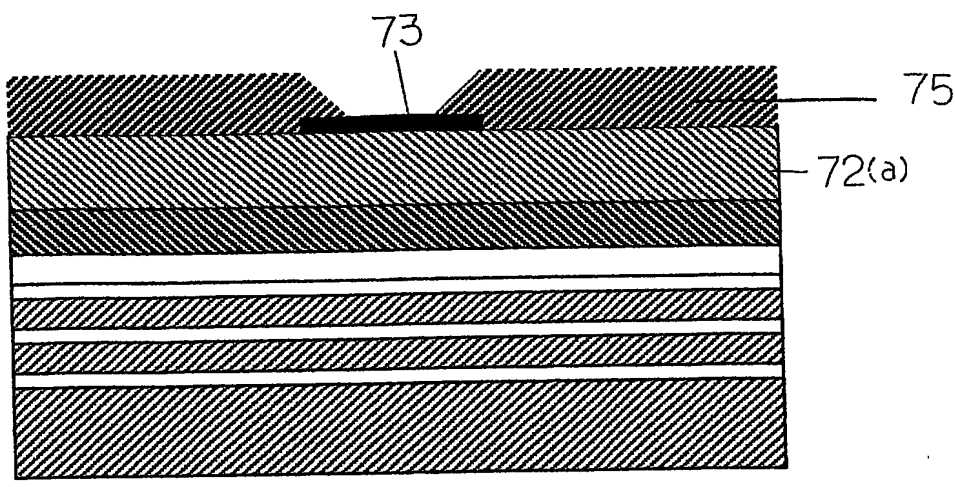
【図 2 1】



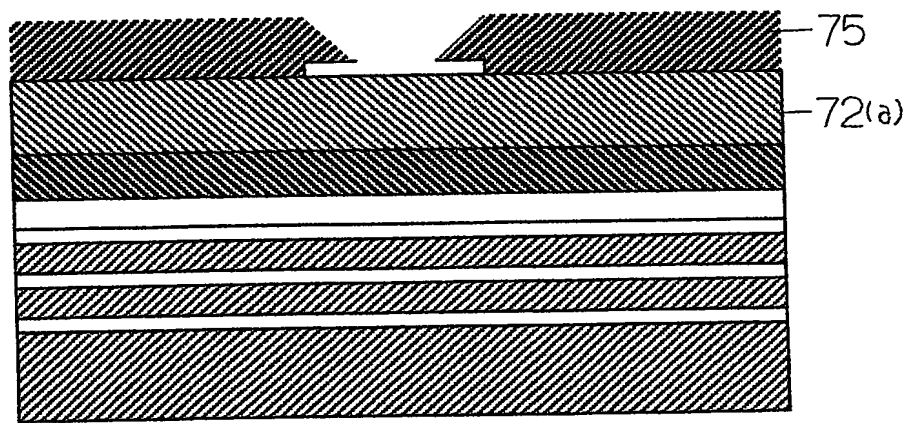
【図 2 2】



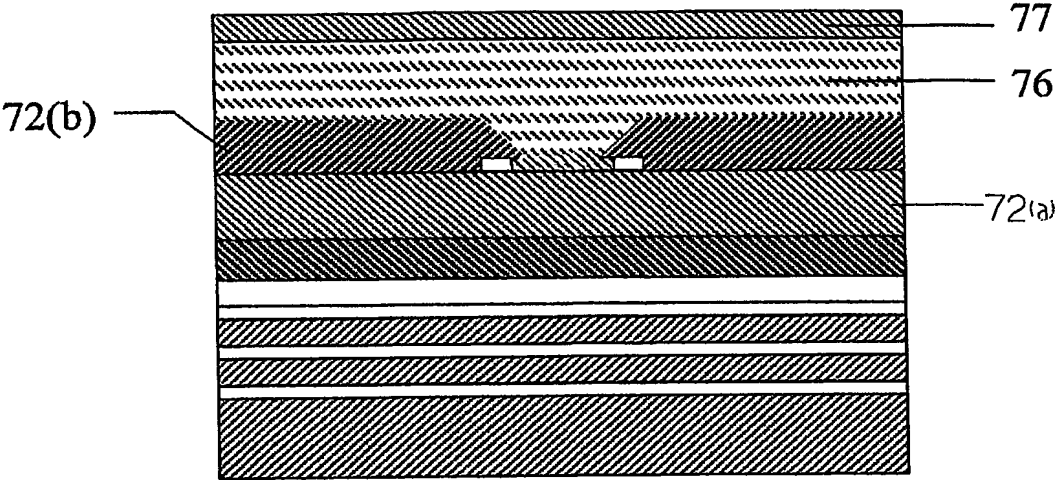
【図23】



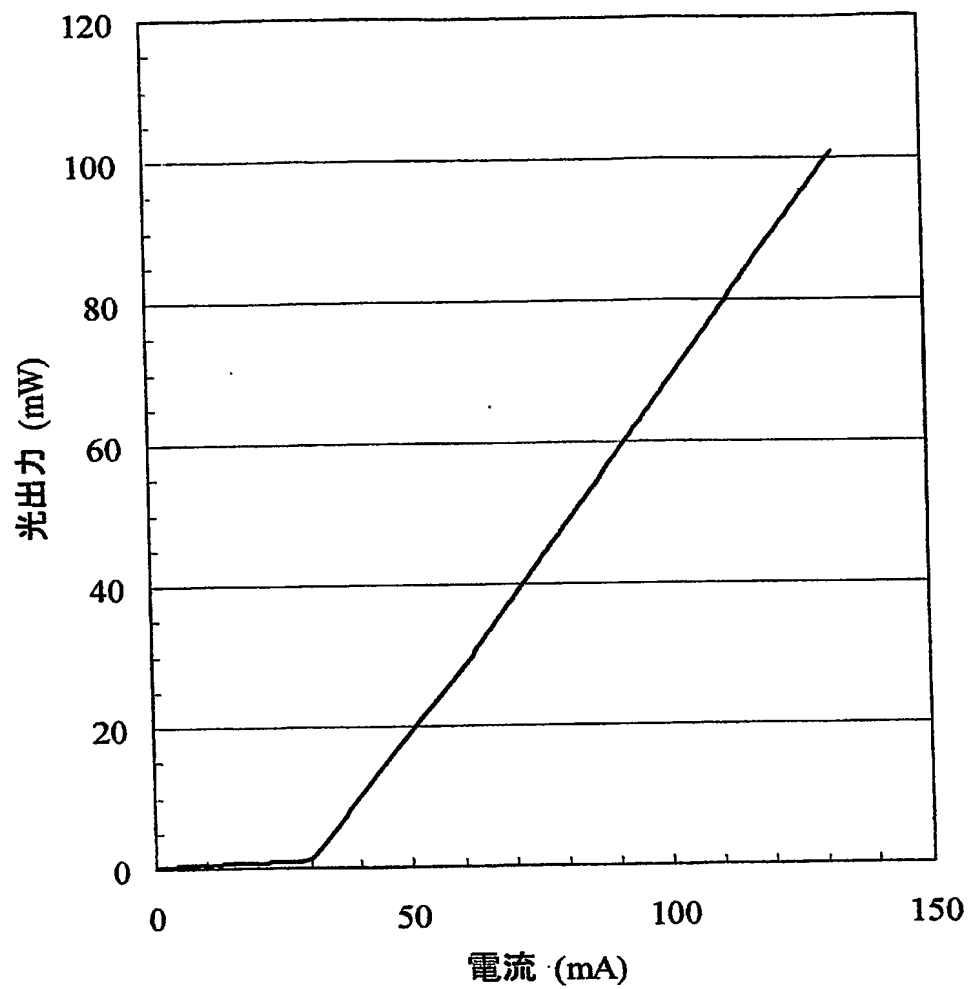
【図24】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 ドライエッチング技術でリッジ構造を形成し、水平横モードを制御する従来のGaN系レーザでは、基板面内およびプロセスごとのレーザ特性の再現性、および歩留りに大きな課題があり、コスト高騰を招く要因となっている。

【解決手段】 本発明に係る半導体発光素子の製造方法においては、基板の主面上に成長した第1のIII-V族化合物半導体（72（a））上に厚みが層間絶縁膜（73）を間隔をおいてストライプ状に周期的に形成する工程と、その上面に第2のIII-V族化合物半導体（72（b））からなり、厚みが $0.2\mu\text{m}$ 以下の電流狭搾層（75）を選択的に成長する工程と、上記絶縁膜を除去した後に第3のIII-V族化合物半導体（76）を再度成長する工程とを備えている。

【選択図】 図23

特願 2 0 0 3 - 1 2 4 0 4 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社